

蓝桥杯全国软件和信息技术专业人才大赛组委会

第十六届蓝桥杯全国软件和信息技术专业人才大赛 电子赛（FPGA 设计与开发项目）竞赛规则及说明

一、组别说明

1. 具有正式全日制学籍并且符合相关科目报名要求的研究生、本科及高职高专学生（以报名时状态为准），以个人为单位进行比赛。该科目设大学组。

2. 每位选手配备一名指导教师，每名选手的指导教师最多一名，同一名指导教师可指导多位选手。省赛和决赛比赛后指导教师原则上不能更改。

二、竞赛时长

省赛时长：5 小时

决赛时长：5 小时

详细赛程安排以组委会发布信息为准。

三、竞赛形式

1. 个人赛，省赛、决赛均采用封闭、限时方式进行。
2. 选手机器通过局域网连接到各个赛场的比赛服务器。
3. 选手答题过程中不允许访问互联网，也不允许使用本机以外的资源（如 USB 连接）。
4. 比赛系统以“服务器-浏览器”方式发放赛题、回收选手答案。
5. 选手将答案提交到比赛系统中，超过比赛时间将无法提交。
6. 选手提交到服务器的各类文件是评审和成绩复查的依据，须严格按照赛题要求上传文件。

四、赛点比赛环境要求

1. 硬件设施

（1）万用表

数字万用表，具备直流电压、电流、电阻测量和通断测试功能。

(2) 逻辑分析仪

(3) 计算机

CPU: Intel Core i5-9400F 以上规格, 内存不小于 16G, 硬盘不小于 100G。

操作系统: Windows 7、8、10 或 11。

2. 软件预装

(1) FPGA 开发软件。

Xilinx 平台安装 Vivado 18.3 及以上版本。

Altera 平台安装 Quartus II 13.1 或 Quartus Prime 23.1 (Lite Edition)。

下载方式: 大赛官网-学习资料-资料文档。

(2) 竞赛实训平台驱动程序。

(3) 解压缩软件 (WinRAR 5.71 及以上版本)。

五、赛题形式

竞赛赛题由客观题和基于 FPGA 硬件平台的设计与调试题两部分组成, 具体题型及题目数量以正式比赛时赛题为准。

1. 客观题

(1) 选择题

不定项, 选手根据题目描述, 选择若干个答案。

(2) 填空题

题目描述一个具有确定解的问题, 选手根据题目要求填写唯一答案。

2. 硬件设计题

(1) 硬件平台

四梯 FPGA 竞赛实训平台 (Xilinx/XC7S6) 或四梯 FPGA 竞赛实训平台 (Altera/EP4CE6), 选手可以任选其一进行报名参加比赛。

官方订购渠道: gxct.taobao.com

(2) 赛题形式

参赛选手在规定时间内, 基于四梯 FPGA 竞赛实训平台, 按照赛题要求, 使用 Verilog HDL 等硬件描述语言完成综合案例的设计开发与验证任务。

六、赛题考查范围

赛题由客观题和基于硬件的程序设计题组成, 综合考察选手运用 FPGA 相关知识解决工

程实际问题的能力。考查知识范围详见电子赛知识点大纲（大赛官网-关于大赛-比赛大纲-电子赛知识点大纲），链接：dasai.lanqiao.cn/notices/846。

主要考查范围如下：

1. FPGA 结构、原理等基础知识。
2. Verilog HDL 硬件描述语言编程。
3. 组合、时序逻辑电路设计。
4. 模块化设计和实例化。
5. FPGA 相关开发、仿真工具应用。
6. 嵌入式系统外设、接口设计。
7. 数字信号处理算法与实现。
8. 工程问题分析与解决能力。

选手应特别注意赛题中对初始化状态、性能指标和文件提交的要求，未按照赛题要求进行硬件设计和文件提交，将被记为零分。

七、分值比例

1. 客观题：15%。
2. 基于硬件平台的程序设计与调试题：85%。

八、评分

客观题：答案唯一，每题只有 0 分或满分，全部机器阅卷。

硬件平台程序设计与调试题：根据选手功能完成情况进行打分。

九、样题

样题详见文档附录。

十、奖项设置及评选办法

1. 省赛

省赛该组别设置一、二、三等奖，原则上各奖项的比例为 10%、20%、30%。获奖比例仅作为参考，组委会专家组将根据赛题难易程度及整体答题情况，制定各奖项获奖最低分数线，未达到获奖最低分数线者不得奖。省赛一等奖选手获得全国总决赛资格。

2. 总决赛

总决赛根据相应组别分别设立一、二、三等奖及优秀奖。其中，一等奖不高于 5%，二

等奖占 20%，三等奖不低于 35%，优秀奖不超过 40%，零分卷不得奖。获奖比例仅作为参考，组委会专家组将根据赛题难易程度及整体答题情况，制定各奖项获奖最低分数线，未达到获奖最低分数线者不得奖。

十一、监督反馈

为保证大赛的公平、公正，对各赛区省赛和全国总决赛的初步评审结果执行监督反馈制度。投诉反馈期自公布评审初步结果之日起，为期 3 天，过期不再受理。

投诉反馈期间，全国大赛组委会将受理有关违反大赛比赛章程、规则和纪律的行为等。投诉和异议须以书面形式提出，由个人提出的异议，须注本人的真实姓名、工作单位、通信地址，并附有本人亲笔签名；由单位提出的异议，须注明单位指定联系人的姓名、通信地址、电话，并加盖单位公章。全国大赛组委会将对提出异议的个人或单位严格保密。

十二、其它注意事项

1. 选手必须符合参赛资格，不得弄虚作假。资格审查中一旦发现问题，则取消其报名资格；竞赛过程中发现问题，则取消竞赛资格；竞赛后发现问题，则取消竞赛奖项，收回获奖证书及奖品等，并在大赛官网上公示。

2. 参赛选手应严格遵守蓝桥杯大赛个人赛（软件类/电子类）比赛管理办法（办法链接：dasai.lanqiao.cn/notices/844），服从大赛组委会的指挥和安排，爱护竞赛场地的设备。未尽事宜请参照官网章程要求并遵照执行。

3. 竞赛采用机器阅卷加少量人工辅助的方式。选手应特别注意赛题中对初始化状态、性能指标和文件提交的要求，未按照赛题要求进行程序设计和文件提交，将被记为零分。



附录:

FPGA 设计与开发样题

样题 1. (选择题) 在 FPGA 设计流程中, 哪个步骤用来检查设计功能是否符合预期?

- A. 综合/Synthesis
- B. 适配/Fitting
- C. 仿真/Simulation
- D. 编程/Programming

样题 2. (选择题) FPGA 设计流程中的“配置”指的是什么?

- A. 将设计转化为硬件描述语言的过程
- B. 在 FPGA 中加载比特流以实现设计的过程
- C. 对设计进行功能验证的过程
- D. 优化设计以适应特定 FPGA 架构的过程

样题 3. (编程题)

(1) 基本要求

- 1) 使用大赛组委会统一提供的 FPGA 竞赛实训平台, 完成本赛题程序设计与调试。
- 2) 选手在程序设计与调试过程中, 可参考组委会提供的包含基础模块代码 (Verilog HDL) 的“资源数据包”。
- 3) 程序编写、调试完成后, 选手应通过考试系统提交完整的工程压缩包, 压缩包以准考证号命名。选手提交的工程应是最终版本, 工程文件夹内应包含以准考证号命名的 mcs 或 jic 文件。

选手需严格按照以上要求组织和提交文件, 不符合提交要求的作品将被评为零分。

(2) 硬件框图

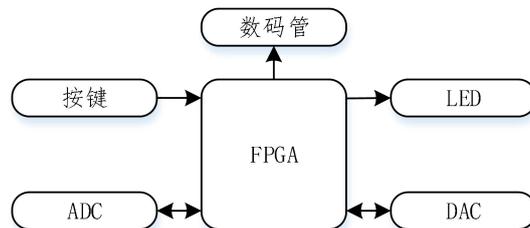


图 1 硬件框图

(3) 功能描述

1) 功能概述

在 FPGA 芯片上根据赛题要求, 设计逻辑模块, 并下载至 FPGA 进行功能验证。

- ①使用 ADC 芯片连续采集电位器输出的模拟量;
- ②控制 DAC 芯片输出模拟量;

- ③通过 LED 指示灯完成赛题要求的状态指示功能；
- ④通过数码管、按键完成赛题要求的数据显示和界面切换功能。

2) 性能要求

- ①按键动作响应时间：≤0.1 秒。
- ②指示灯动作响应时间：≤0.1 秒。

3) 显示功能

①采集界面如图 2 所示，显示内容包括标识符 (A) 和采集的模拟电压数据组成。

A	8	8	8	8	3.	2	8
标识	熄灭				采集电压:3.28V		

图 2 采集界面

通过 3 位数码管固定显示电压数据，电压数据保留小数点后 2 位有效数字，单位为伏特。

②参数界面

参数界面如图 3 所示，显示内容包括标识符和采样间隔组成。

p	8	8	8	8	8	0.	2
标识	熄灭				采样间隔:0.2s		

图 3 参数界面

采样间隔的单位为秒，保留小数点后 1 位有效数字，可调整范围 0.1s-1.0s。

4) 按键功能

功能说明：

按键 S1 定义为“切换”功能，按下按键 S1 切换采集界面和参数界面，切换顺序如图 4 所示。

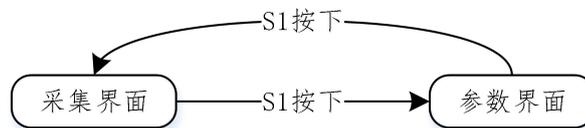


图 4 按键 S1 切换界面

按键 S2 定义为加功能，每次按下，采样间隔加 0.1s。

按键 S3 定义为减功能，每次按下，采样间隔减 0.1s。

按键 S4 定义为 DAC 输出启动/停止功能，切换 DAC 输出状态。

5) DAC 输出功能

通过按键控制 DAC 输出状态，停止输出时，输出 0V。

启动输出时，DAC 输出的电压值与 ADC 采集电压值保持同步。

6) 指示灯功能

①采集界面下，指示灯 LD1 点亮，否则熄灭；

②参数界面下，指示灯 LD2 点亮，否则熄灭。